

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022500

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H03H 19/00
H03F 3/45

(21)Application number : 10-190004

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 06.07.1998

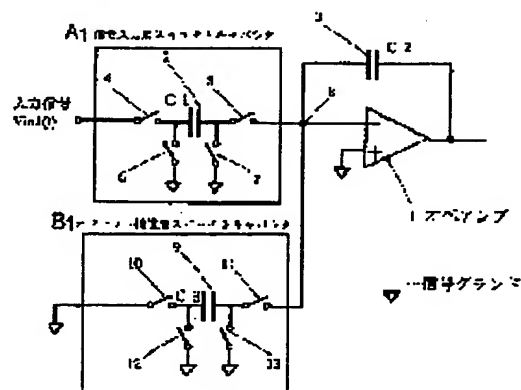
(72)Inventor : AMEMOTO TAKESHI

(54) SWITCHED CAPACITOR CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit whose transfer function is not fluctuated by a DC offset voltage of an operational amplifier.

SOLUTION: A switched capacitor A1 is configured by a capacitor 2 and switches 4-7, the switched capacitor A1 connects to an inverting input terminal of an operational amplifier 1 and a noninverting input terminal of the operational amplifier 1 connects to a signal ground, and a capacitor 3 is connected between the inverting input terminal and an output terminal of the operational amplifier 1. Furthermore, an offset compensation switched capacitor B1 is connected between the signal ground and the inverting input terminal of the operational amplifier 1. The offset compensation switched capacitor B1 consists of a capacitor 9 and switches 10-13 and the capacitance of the capacitor 9 is the same as that of the capacitor 2 of the switched capacitor A1. Thus, a DC offset of the operational amplifier 1 and an integration error by the switched capacitor A1 are cancelled.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-22500

(P2000-22500A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 3 H 19/00

H 0 3 H 19/00

5 J 0 2 3

H 0 3 F 3/45

H 0 3 F 3/45

B 5 J 0 6 6

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21)出願番号

特願平10-190004

(22)出願日

平成10年7月6日(1998.7.6)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 船本 健

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100076174

弁理士 宮井 暎夫

Fターム(参考) 5J023 CA01 CB04

5J066 AA01 AA47 CA13 CA32 FA10

HA29 HA39 HA40 KA01 KA19

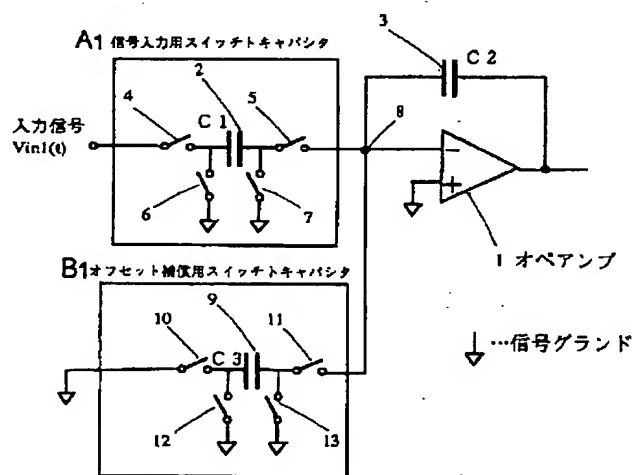
KA41 MD04

(54)【発明の名称】 スイッチトキャパシタ回路

(57)【要約】

【課題】 スイッチトキャパシタ回路で用いるオペアンプのDCオフセット電圧により伝達関数変動してしまう。

【解決手段】 容量2およびスイッチ4～7によりスイッチトキャパシタA₁が構成され、このスイッチトキャパシタA₁をオペアンプ1の反転入力端子に接続し、オペアンプ1の非反転入力端子を信号グラウンドに接続し、オペアンプ1の反転入力端子と出力端子との間に容量3を接続している。さらに、オフセット補償用スイッチトキャパシタB₁を信号グラウンドとオペアンプ1の反転入力端子との間に接続した構成である。このオフセット補償用スイッチトキャパシタB₁は、容量9およびスイッチ10～13で構成し、容量9には、信号入力用スイッチトキャパシタA₁の容量2と同じ容量値のものをを用いる。これにより、オペアンプ1のDCオフセットと信号入力用スイッチトキャパシタA₁による積分誤差をキャンセルする。



【特許請求の範囲】

【請求項1】 オペアンプの非反転入力端子に信号グラウンドを接続し、前記オペアンプの反転入力端子に n 個（ n は自然数）の信号入力用スイッチトキャパシタを接続し、前記オペアンプの反転入力端子と信号グラウンドとの間に m 個（ m は n と同じまたは異なる自然数）のオフセット補償用スイッチトキャパシタを並列接続し、前記 n 個の信号入力用スイッチトキャパシタに用いている容量の総和の容量値と、前記 m 個のオフセット補償用スイッチトキャパシタに用いている容量の総和の容量値とを等しくしたことを特徴とするスイッチトキャパシタ回路。

【請求項2】 オペアンプの非反転入力端子に信号グラウンドを接続し、前記オペアンプの反転入力端子に n 個（ n は自然数）の信号入力用スイッチトキャパシタを接続し、前記オペアンプの反転入力端子と信号グラウンドとの間に前記 n 個の信号入力用スイッチトキャパシタに用いている容量の総和の容量値の容量を用いた1個のオフセット補償用スイッチトキャパシタを接続したことを特徴とするスイッチトキャパシタ回路。

【請求項3】 オペアンプの非反転入力端子に信号グラウンドを接続し、前記オペアンプの反転入力端子に n 個（ n は自然数）の信号入力用スイッチトキャパシタを接続し、前記オペアンプの反転入力端子と信号グラウンドとの間に各信号入力用スイッチトキャパシタに用いている容量と同じ容量値の容量を用いたオフセット補償用スイッチトキャパシタを n 個並列に接続したことを特徴とするスイッチトキャパシタ回路。

【請求項4】 オペアンプの非反転入力端子に信号グラウンドを接続し、前記オペアンプの反転入力端子に信号入力用スイッチトキャパシタを接続し、一端が前記信号入力用スイッチトキャパシタに用いている容量に接続され他端が前記オペアンプの出力端子および信号グラウンドに切換え接続可能な帰還容量を有し、前記オペアンプの反転入力端子と信号グラウンドとの間に前記信号入力用スイッチトキャパシタに用いている容量と前記帰還容量との総和の容量値の容量を用いたオフセット補償用スイッチトキャパシタを接続したことを特徴とするスイッチトキャパシタ回路。

【発明の詳細な説明】

$$V_o(t) = V_o(t-T) - C_1/C_2 \times V_{in1}(t) + C_1/C_2 \times V_n \quad \cdots \text{式1}$$

となる。

【0006】ここでオペアンプ1の反転入力端子の電位 V_n は、理想オペアンプであればイマジナリーショートが成立し信号グラウンドと等しく、 $V_n=0$ となる。したがって、式1は

$$V_o(t) = V_o(t-T) - C_1/C_2 \times V_{in1}(t) \quad \cdots \text{式2}$$

となり、積分動作が実現される。

$$V_o(t) = V_o(t-T) - C_1/C_2 \times V_{in1}(t) + C_1/C_2 \times V_{off} \quad \cdots \text{式3}$$

となり、伝達関数が $C_1/C_2 \times V_{off}$ 分だけずれてしまう。

【0001】

【発明の属する技術分野】本発明は、容量とスイッチで構成しスイッチ制御により電荷の保持、転送を行うスイッチトキャパシタを用いた積分器、サンプルホールド回路、フィルタ回路などのスイッチトキャパシタ回路に関する。

【0002】

【従来の技術】従来のスイッチトキャパシタ回路について図面を参照しながら説明する。図7は第1の従来のスイッチトキャパシタ回路を示す図であり、ここでは積分器の例を示している。図7において、1はオペアンプ、2、3は容量、4～7はスイッチ、8はオペアンプの反転入力端子の接点である。

【0003】この従来のスイッチトキャパシタ回路は、容量2およびスイッチ4～7によりスイッチトキャパシタ A_1 が構成され、このスイッチトキャパシタ A_1 をオペアンプ1の反転入力端子に接続し、オペアンプ1の非反転入力端子を信号グラウンド（GND）に接続し、オペアンプ1の反転入力端子と出力端子との間に容量3を接続している。

【0004】以上のように構成された従来のスイッチトキャパシタ回路について、以下、その動作をさらに図11を用いて説明する。図11はスイッチ制御用のクロックのタイミングチャートである。スイッチ4、7が図11のクロック ϕ_1 の“H”（ハイレベル）区間でオンし、スイッチ5、6がクロック ϕ_2 の“H”区間でオンすることにより、入力信号 $V_{in1}(t)$ を容量2により周期 $1/T$ でサンプル、ホールドする。これにより容量2に蓄えられた電荷は、容量3とオペアンプ1により積分される。

【0005】この動作を電荷の保存則を用いて記述すると以下ようになる。容量2の容量値を C_1 、容量3の容量値を C_2 、入力電圧を $V_{in1}(t)$ 、出力電圧を $V_o(t)$ 、1サンプル区間前の出力電圧を $V_o(t-T)$ 、オペアンプ1の反転入力端子の電位を V_n とすると、接点8に蓄えられた電荷は、クロック ϕ_1 のタイミングで $C_2 \times (V_n - V_o(t-T))$ であり、クロック ϕ_2 のタイミングで $C_1 \times (V_n - V_{in1}(t)) + C_2 \times (V_n - V_o(t))$ であり、この2つの電荷が等しいため、

【0007】

【発明が解決しようとする課題】しかしながら、実際のオペアンプ1では、初段のトランジスタ対の特性（しきい値電圧や相互コンダクタンスなど）の差のためにDCオフセット電圧を生じる。このDCオフセット電圧を入力換算オフセットで考えると、式1で $V_n = V_{off}$ （ V_{off} は入力オフセット電圧）と置き換えて、

また、1サンプル毎に $C_1/C_2 \times V_{off}$ が重畳されることに

より、回路のダイナミックレンジが狭くなってしまうという問題がある。

【0008】上記の積分動作以外にも、スイッチ6、7

$$V_o(t) = V_o(t-T) + C_1/C_2 \times V_{in1}(t) + C_1/C_2 \times V_{off} \quad \cdots \text{式4}$$

となり、同様の問題が生じる。

【0009】また、図8に示す第2の従来のスイッチトキャパシタ回路でも同様の問題があり、以下、これについて説明する。図8において、21は容量値C4の容量、22～25はスイッチである。この図8のスイッチトキャパシタ回路は、2入力加算型の積分器の例であり、図7の構成に加えて、容量21およびスイッチ22～25により構成されるスイッチトキャパシタA2が、オペアンプ1の反転入力端子に接続されている。そして、スイッチ22、25がスイッチ4、7と同様、図11のクロ

$$V_o(t) = V_o(t-T) - C_1/C_2 \times V_{in1}(t) - C_4/C_2 \times V_{in2}(t)$$

となり、オペアンプ1の反転入力端子に接続してサンプルホールド動作を繰り返すスイッチトキャパシタA1、A2の有する容量2、21の容量値の総和に依存してオフセット分のずれが発生するという問題があった。

【0011】さらに、図9および図10に示す他の従来のスイッチトキャパシタ回路においても同様の問題があった。図9は第3の従来のスイッチトキャパシタ回路を示す図であり、図7と同様の部分には同一符号を付している。この図9のスイッチトキャパシタ回路は、図7の構成のようにスイッチトキャパシタA1内のスイッチ7を信号グラウンドに接続するのではなく、オペアンプ1の出力端子に接続したサンプルホールド回路の例である。

$$\begin{aligned} C \times V_o(t) &= C \times V_o(t-T) + C \times \{V_{in}(t) - V_o(t-T)\} \\ &= C \times V_{in}(t) \quad \cdots \text{式6} \end{aligned}$$

となり、サンプルホールド動作が実現される。

【0013】しかし、実際のオペアンプ1ではDCオフセット電圧V_{off}を生じ、この場合には、クロックφ1のタイミングで、容量2に、
 $C_1 \times \{V_{in}(t) - V_o(t-T)\}$

$$\begin{aligned} C \times V_o(t) &= C \times V_o(t-T) + C \times \{V_{in}(t) - V_o(t-T)\} + C \times V_{off} \\ &= C \times V_{in}(t) + C \times V_{off} \quad \cdots \text{式7} \end{aligned}$$

となり、サンプルホールド動作が実現されるが、オフセット分が重畳されることになる。

【0014】また、図10は第4の従来のスイッチトキャパシタ回路を示す図である。図10において、26は帰還容量、27、28はスイッチであり、図7と同様の部分には同一符号を付している。この図10のスイッチトキャパシタ回路は、図7の構成に加え、スイッチトキャパシタA1内の容量2とスイッチ5の間の接続点に容量26の一端を接続し、容量26の他端とオペアンプ1の出力端子との間にスイッチ28を接続し、さらに容量26の他端と信号グラウンドとの間にスイッチ27を接続したフィルタ回路（一次LPF型スイッチトキャパシタフィルタ）の例である。この場合、スイッチ4、7およ

を図11のクロックφ1の“H”区間でオンし、スイッチ4、5をクロックφ2の“H”区間でオンする引き算型の場合であれば、

ックφ1の“H”（ハイレベル）区間でオンし、スイッチ23、24がスイッチ5、6と同様、クロックφ2の“H”区間でオンすることにより、入力信号V_{in1}(t)は容量2により周期1/Tでサンプル、ホールドされ、入力信号V_{in2}(t)は容量21により周期1/Tでサンプル、ホールドされる。これにより容量2および容量21に蓄えられた電荷は、容量3とオペアンプ1により積分される。

【0010】ここで、同様にして出力電圧V_o(t)を示すと、

$$+ (C_1 + C_4)/C_2 \times V_{off} \quad \cdots \text{式5}$$

この場合も、スイッチ4、7が図11のクロックφ1の“H”区間でオンし、スイッチ5、6が図11のクロックφ2の“H”区間でオンするものとする。

【0012】ここで、容量2の容量値をC₁、容量3の容量値をC₂、入力電圧をV_{in}(t)、出力電圧をV_o(t)、1サンプル区間前の出力電圧をV_o(t-T)とし、オペアンプ1が理想オペアンプであるとする、クロックφ1のタイミングで、容量2に、

$$C_1 \times \{V_{in}(t) - V_o(t-T)\}$$

がチャージされ、クロックφ2のタイミングで

$$C_2 \times V_o(t) = C_2 \times V_o(t-T) + C_1 \times \{V_{in}(t) - V_o(t-T)\}$$

となる。ここで、C₁=C₂=Cと設定すると、

がチャージされ、クロックφ2のタイミングで

$$C_2 \times V_o(t) - C_1 \times V_{off} = C_2 \times V_o(t-T) + C_1 \times \{V_{in}(t) - V_o(t-T)\}$$

となる。ここで、C₁=C₂=Cと設定すると、

び27が図11のクロックφ1の“H”区間でオンし、スイッチ5、6および28が図11のクロックφ2の“H”区間でオンするものとする。

【0015】ここで、容量2の容量値をC₁、容量26の容量値をC₂、容量3の容量値をC₃、入力電圧をV_{in}(t)、1サンプル区間前の入力電圧をV_{in}(t-T)、出力電圧をV_o(t)、1サンプル区間前の出力電圧をV_o(t-T)とし、オペアンプ1が理想オペアンプであるとする、クロックφ1のタイミングで、容量2に充電される電荷はC₁ × {V_{in}(t-T) - 0}、容量26に充電される電荷はC₂ × (0 - 0)、容量3に充電される電荷はC₃ × {V_o(t-T) - 0}となる。

【0016】また、クロックφ2のタイミングで、容量

2に充電される電荷は $C1 \times (0 - 0)$ 、容量26に充電される電荷は $C2 \times [Vo(t) - 0]$ 、容量3に充電される電荷は $C3 \times [Vo(t) - 0]$ となる。そして、クロックφ

$$Vo(t) = C1 / (C2 + C3) \times Vin(t-T) + C3 / (C2 + C3) \times Vo(t-T) \quad \cdots \text{式 8}$$

となる。

【0017】ここで、LPF特性の導出について述べておく。上記の式8に関して z 変換を実施すると、 $Vin(t) \rightarrow Vin(z)$ 、 $Vin(t-T) \rightarrow z^{-1} \times Vin(z)$ 、 $Vo(t) \rightarrow Vo(z)$ 、 $Vo(t-T) \rightarrow z^{-1} \times Vo(z)$ となるので、式8は、

$$Vo(z) = C1 / (C2 + C3) \times z^{-1} \times Vin(z) + C3 / (C2 + C3) \times z^{-1} \times Vo(z)$$

となる。したがって、 z 領域での伝達関数 $H(z) = Vo(z) / Vin(z)$ は、

$$H(z) = C1 \times z^{-1} / [C2 + C3(1 - z^{-1})]$$

となる。 $z^{-1} = e^{-sT} \approx 1 - sT$ を代入すると、

$$H(s) \approx C1 / (C2 + C3 \times sT)$$

となり、カットオフ周波数 $f = \omega / 2\pi = C2 / (2\pi \times$

$$C1 \times Vin(t-T) + C3 \times [Vo(t-T) - Voff] =$$

$$-C1 \times Voff + C2 \times [Vo(t) - Voff] + C3 \times [Vo(t) - Voff]$$

となり、

$$Vo(t) = C1 / (C2 + C3) \times Vin(t-T) + C3 / (C2 + C3) \times Vo(t-T)$$

$$+ (C1 + C2) / (C2 + C3) \times Voff \quad \cdots \text{式 9}$$

となり、オフセット分が重畳されることになる。

【0020】本発明は、上記問題を解決するもので、オペアンプのDCオフセットの影響を受けず、理想オペアンプと同じ伝達関数の得られるスイッチトキャパシタ回路を提供することを目的とする。

【0021】

【課題を解決するための手段】請求項1記載のスイッチトキャパシタ回路は、オペアンプの非反転入力端子に信号グラウンドを接続し、オペアンプの反転入力端子に n 個（ n は自然数）の信号入力用スイッチトキャパシタを接続し、オペアンプの反転入力端子と信号グラウンドとの間に m 個（ m は n と同じまたは異なる自然数）のオフセット補償用スイッチトキャパシタを並列接続し、 n 個の信号入力用スイッチトキャパシタに用いている容量の総和の容量値と、 m 個のオフセット補償用スイッチトキャパシタに用いている容量の総和の容量値とを等しくしたことを特徴とする。

【0022】請求項2記載のスイッチトキャパシタ回路は、オペアンプの非反転入力端子に信号グラウンドを接続し、オペアンプの反転入力端子に n 個（ n は自然数）の信号入力用スイッチトキャパシタを接続し、オペアンプの反転入力端子と信号グラウンドとの間に n 個の信号入力用スイッチトキャパシタに用いている容量の総和の容量値の容量を用いた1個のオフセット補償用スイッチトキャパシタを接続したことを特徴とする。

【0023】請求項3記載のスイッチトキャパシタ回路は、オペアンプの非反転入力端子に信号グラウンドを接続し、オペアンプの反転入力端子に n 個（ n は自然数）の

1、φ2のタイミングでの総電荷量が等しいため、

$$C1 \times Vin(t-T) + C3 \times Vo(t-T) = C2 \times Vo(t) + C3 \times Vo(t)$$

となり、

$C3 \times T$ ）、DCゲイン $= C1 / C2$ なるLPFの特性が得られる。

【0018】さて、実際のオペアンプ1ではDCオフセット電圧 $Voff$ を生じ、この場合には、クロックφ1のタイミングで、容量2に充電される電荷は $C1 \times [Vin(t-T) - 0]$ 、容量26に充電される電荷は $C2 \times (0 - 0)$ 、容量3に充電される電荷は $C3 \times [Vo(t-T) - Voff]$ となる。また、クロックφ2のタイミングで、容量2に充電される電荷は $C1 \times (0 - Voff)$ 、容量26に充電される電荷は $C2 \times [Vo(t) - Voff]$ 、容量3に充電される電荷は $C3 \times [Vo(t) - Voff]$ となる。

【0019】そして、クロックφ1、φ2のタイミングでの総電荷量が等しいため、

信号入力用スイッチトキャパシタを接続し、オペアンプの反転入力端子と信号グラウンドとの間に各信号入力用スイッチトキャパシタに用いている容量と同じ容量値の容量を用いたオフセット補償用スイッチトキャパシタを n 個並列に接続したことを特徴とする。

【0024】以上の請求項1～請求項3の構成によれば、オペアンプの反転入力端子と信号グラウンドとの間に所定の容量値の容量を用いたオフセット補償用スイッチトキャパシタを接続したことにより、信号入力用スイッチトキャパシタの容量とオペアンプのDCオフセットによって発生する伝達関数の誤差を補償し、理想オペアンプと同じ伝達関数を持った優れたスイッチトキャパシタ回路を実現できる。

【0025】請求項4記載のスイッチトキャパシタ回路は、オペアンプの非反転入力端子に信号グラウンドを接続し、オペアンプの反転入力端子に信号入力用スイッチトキャパシタを接続し、一端が信号入力用スイッチトキャパシタに用いている容量に接続され他端がオペアンプの出力端子および信号グラウンドに切換え接続可能な帰還容量を有し、オペアンプの反転入力端子と信号グラウンドとの間に信号入力用スイッチトキャパシタに用いている容量と帰還容量との総和の容量値の容量を用いたオフセット補償用スイッチトキャパシタを接続したことを特徴とする。

【0026】この請求項4の構成によれば、オペアンプの反転入力端子と信号グラウンドとの間に信号入力用スイッチトキャパシタに用いている容量と帰還容量との総和の容量値の容量を用いたオフセット補償用スイッチトキ

ャパシタを接続したことにより、信号入力用スイッチトキャパシタの容量および帰還容量とオペアンプのDCオフセットによって発生する伝達関数の誤差を補償し、理想オペアンプと同じ伝達関数を持った優れたスイッチトキャパシタ回路を実現できる。

【0027】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【第1の実施の形態】図1は本発明の第1の実施の形態のスイッチトキャパシタ回路を示す図であり、ここでは積分器の例を示している。図1において、1はオペアンプ、2、3、9は容量、4～7および10～13はスイッチ、8はオペアンプ1の反転入力端子の接点であり、容量9およびスイッチ10～13以外は図7に示す従来例と同じである。

【0028】この第1の実施の形態では、図7に示す従来例に対し、オフセット補償用スイッチトキャパシタB₁を信号グラウンドとオペアンプ1の反転入力端子との間に付加した構成である。このオフセット補償用スイッチトキャパシタB₁は、容量9およびスイッチ10～13で構成し、容量9には、信号入力用スイッチトキャパシタA₁の容量2と同じ容量値のものを用いている。

【0029】以上のように構成される本実施の形態のスイッチトキャパシタ回路について、以下、その動作をさらに図11のスイッチ制御用のクロックのタイムチャー

$$V_o(t) = V_o(t-T) - C_1/C_2 \times \dot{V}_{in1}(t) + C_1/C_2 \times V_{off} - C_3/C_2 \times V_{off} \cdots \text{式10}$$

となる。

【0032】ここで、オフセット補償用スイッチトキャパシタB₁で使用する容量9の容量値C₃を、前述のように信号入力用スイッチトキャパシタA₁の容量2の容量値C₁と同じに設定しており、C₃=C₁であるから、

$$V_o(t) = V_o(t-T) - C_1/C_2 \times \dot{V}_{in1}(t) \cdots \text{式11}$$

となり、オペアンプ1のDCオフセットの項がなくなり、理想オペアンプと全く同じ伝達関数が実現できる。

【0033】以上のように本実施の形態によれば、信号入力用スイッチトキャパシタA₁の容量2と同じ容量値を有する容量9を用いたオフセット補償用スイッチトキャパシタB₁を、オペアンプ1の反転入力端子と信号グラウンドとの間に接続し、前述のようにスイッチの制御を行なうことにより、信号入力用スイッチトキャパシタA₁の容量2とオペアンプ1のDCオフセットによって発生する誤差分を補償することができるため、理想オペアンプと同じ伝達関数を持ったスイッチトキャパシタ回路を実現することができる。これにより、オフセット誤差の重畳による回路のダイナミックレンジの低下を防ぐことができる。

【0034】〔第2の実施の形態〕図2は本発明の第2の実施の形態のスイッチトキャパシタ回路を示す図であり、ここでは図8の従来例のように2入力加算型の積分器の例を示している。図2において、容量9およびスイ

トを用いて説明する。スイッチ4、7が図11のクロックφ1の“H”（ハイレベル）区間でオンし、スイッチ5、6がクロックφ2の“H”区間でオンすることにより、入力信号V_{in1}(t)を容量2により周期1/Tでサンプル、ホールドする。これにより容量2に蓄えられた電荷は、容量3とオペアンプ1により積分される。以上の動作は図7に示す従来例と同じである。

【0030】さらに、オフセット補償用スイッチトキャパシタB₁のスイッチ10、11を図11のクロックφ1の“H”区間でオンし、スイッチ12、13をクロックφ2の“H”区間でオンすることにより、オペアンプ1のDCオフセットと信号入力用スイッチトキャパシタA₁による積分誤差をキャンセルする。この動作を電荷の保存則を用いて記述すると以下ようになる。

【0031】容量2の容量値をC₁、容量3の容量値をC₂、容量9の容量値をC₃、入力電圧をV_{in1}(t)、出力電圧をV_o(t)、1サンプル区間前の出力電圧をV_o(t-T)、オペアンプ1の反転入力端子の電位を入力オフセット電圧V_{off}とすると、接点8に蓄えられた電荷は、クロックφ1のタイミングで

$$C_2 \times (V_{off} - V_o(t-T)) + C_3 \times (V_{off} - 0)$$

であり、クロックφ2のタイミングで

$$C_1 \times (V_{off} - V_{in1}(t)) + C_2 \times (V_{off} - V_o(t))$$

であり、この2つの電荷が等しいため、

スイッチ10～13以外は図8に示す従来例と同じである。

【0035】この第2の実施の形態では、図8に示す従来例に対し、オフセット補償用スイッチトキャパシタB₁を信号グラウンドとオペアンプ1の反転入力端子との間に付加した構成である。このオフセット補償用スイッチトキャパシタB₁は、容量9およびスイッチ10～13で構成し、容量9には、2つの信号入力用スイッチトキャパシタA₁、A₂に用いている容量2と容量21の総和の容量値のものを用いている。すなわち、(容量9の容量値C₃) = (容量2の容量値C₁) + (容量21の容量値C₄)に設定している。

【0036】この第2の実施の形態のスイッチトキャパシタ回路の動作は、スイッチ4、7およびスイッチ22、25が図11のクロックφ1の“H”（ハイレベル）区間でオンし、スイッチ5、6およびスイッチ23、24がクロックφ2の“H”区間でオンすることにより、入力信号V_{in1}(t)は容量2により周期1/Tでサンプル、ホールドされ、入力信号V_{in2}(t)は容量21により周期1/Tでサンプル、ホールドされる。これにより容量2および容量21に蓄えられた電荷は、容量3とオペアンプ1により積分される。以上の動作は図8に示す従来例と同じである。

【0037】さらに、オフセット補償用スイッチトキャパシタB₁のスイッチ10、11を図11のクロックφ

1の“H”区間でオンし、スイッチ12、13をクロックφ2の“H”区間でオンすることにより、オペアンプ1のDCオフセットと信号入力用スイッチトキャパシタA₁、A₂による積分誤差をキャンセルする。以上のように本実施の形態によれば、2つの信号入力用スイッチトキャパシタA₁、A₂の容量2と容量21の総和の容量値を有する容量9を用いたオフセット補償用スイッチトキャパシタB₁を、オペアンプ1の反転入力端子と信号グランドとの間に接続し、前述のようにスイッチの制御を行なうことにより、信号入力用スイッチトキャパシタA₁、A₂の容量2、21とオペアンプ1のDCオフセットによって発生する誤差分を補償することができるため、理想オペアンプと同じ伝達関数を持ったスイッチトキャパシタ回路を実現することができる。これにより、オフセット誤差の重畳による回路のダイナミックレンジの低下を防ぐことができる。

【0038】なお、本実施の形態では、信号入力用スイッチトキャパシタA₁、A₂が2つの場合を例に説明したが、信号入力用スイッチトキャパシタが3つ以上の場合でも、オフセット補償用スイッチトキャパシタB₁の容量9を、3つ以上の全ての信号入力用スイッチトキャパシタに用いている容量の総和の容量値に設定することにより、同様の効果が得られる。

【0039】〔第3の実施の形態〕図3は本発明の第3の実施の形態のスイッチトキャパシタ回路を示す図であり、ここでは図8の従来例のように2入力加算型の積分器の例を示している。図3において、容量9、14およびスイッチ10～13、15～18以外は図8に示す従来例と同じである。

【0040】この第3の実施の形態では、図8に示す従来例に対し、信号グランドとオペアンプ1の反転入力端子との間に、2つのオフセット補償用スイッチトキャパシタB₁、B₂を並列に付加した構成である。このうち1つのオフセット補償用スイッチトキャパシタB₁は、容量9およびスイッチ10～13で構成し、容量9には、1つの信号入力用スイッチトキャパシタA₁の容量2と同じ容量値のものをを用いており、他の1つのオフセット補償用スイッチトキャパシタB₂は、容量14およびスイッチ15～18で構成し、容量14には、他の1つの信号入力用スイッチトキャパシタA₂の容量21と同じ容量値のものをを用いている。すなわち、(容量9の容量値C3) = (容量2の容量値C1)に設定するとともに、(容量14の容量値C5) = (容量21の容量値C4)に設定している。

【0041】この第3の実施の形態のスイッチトキャパシタ回路の動作は、信号入力用スイッチトキャパシタA₁、A₂においては、第2の実施の形態および図8に示す従来例と同じである。さらに、オフセット補償用スイッチトキャパシタB₁のスイッチ10、11を図11のクロックφ1の“H”区間でオンし、スイッチ12、1

3をクロックφ2の“H”区間でオンするとともに、オフセット補償用スイッチトキャパシタB₂のスイッチ15、16を図11のクロックφ1の“H”区間でオンし、スイッチ17、18をクロックφ2の“H”区間でオンすることにより、オペアンプ1のDCオフセットと信号入力用スイッチトキャパシタA₁、A₂による積分誤差をキャンセルする。

【0042】以上のように本実施の形態によれば、2つの信号入力用スイッチトキャパシタA₁、A₂のそれぞれの容量2、容量21と同じ容量値の容量9、容量14を用いたオフセット補償用スイッチトキャパシタB₁、B₂を、オペアンプ1の反転入力端子と信号グランドとの間に並列接続し、前述のようにスイッチの制御を行なうことにより、信号入力用スイッチトキャパシタA₁、A₂の容量2、21とオペアンプ1のDCオフセットによって発生する誤差分を補償することができるため、理想オペアンプと同じ伝達関数を持ったスイッチトキャパシタ回路を実現することができる。これにより、オフセット誤差の重畳による回路のダイナミックレンジの低下を防ぐことができる。

【0043】なお、本実施の形態では、信号入力用スイッチトキャパシタA₁、A₂が2つの場合を例に説明したが、信号入力用スイッチトキャパシタが3つ以上の場合でも、信号入力用スイッチトキャパシタと同数のオフセット補償用スイッチトキャパシタを設け、各オフセット補償用スイッチトキャパシタの容量を各信号入力用スイッチトキャパシタの容量と同じ容量値に設定することにより、同様の効果が得られる。

【0044】なお、上記第1～第3の実施の形態において、スイッチトキャパシタの構成は、信号入力用およびオフセット補償用ともに図4(a)に示す構成であっても同様の効果が得られる。この図4(a)の構成の信号入力用スイッチトキャパシタの場合には、X端を入力信号に接続し、Y端をオペアンプ1の反転入力端子に接続すればよく、図4(a)の構成のオフセット補償用スイッチトキャパシタの場合には、X端を信号グランドに接続し、Y端をオペアンプ1の反転入力端子に接続すればよい。また、オフセット補償用のスイッチトキャパシタについては図4(b)に示す構成としても同様の効果が得られる。この場合、Z端をオペアンプ1の反転入力端子に接続すればよい。スイッチトキャパシタを図4

(a)、(b)の構成とすることにより、スイッチの数を削減することができる。なお、図4において、31、34は容量、32、33、35、36はスイッチである。

【0045】さらに、上記第1～第3の実施の形態の構成に限らず、オペアンプ1の反転入力端子に接続される信号入力用スイッチトキャパシタが1つ以上で、オペアンプ1の反転入力端子と信号グランドとの間にオフセット補償用スイッチトキャパシタも1つ以上並列に設け、

全ての信号入力用スイッチトキャパシタに用いている容量の総和の容量値と、全てのオフセット補償用スイッチトキャパシタに用いている容量の総和の容量値とが等しくなるように設定しても、理想オペアンプと同じ伝達関数を持ったスイッチトキャパシタ回路を実現することができ、オフセット誤差の重畳による回路のダイナミックレンジの低下を防ぐことができる。例えば、図3の構成において、(容量9の容量値C3) ≠ (容量2の容量値C1)とし、(容量14の容量値C5) ≠ (容量21の容量値C4)としても、(容量9の容量値C3) + (容量14の容量値C5) = (容量2の容量値C1) + (容量21の容量値C4)であればよい。さらに、例えば、信号入力用スイッチトキャパシタが1つで、オフセット補償用スイッチトキャパシタを2つ設け、この2つのオフセット補償用スイッチトキャパシタに用いている2つの容量の値の和が信号入力用スイッチトキャパシタに用いている容量の値となるようにしてもよい。

【0046】また、上記第1～第3の実施の形態では、積分器の例について説明したが、次の第4および第5の実施の形態では、サンプルホールド回路およびフィルタ回路について説明する。

【第4の実施の形態】図5は本発明の第4の実施の形態のスイッチトキャパシタ回路を示す図であり、ここではサンプルホールド回路の例を示している。図5において、容量9およびスイッチ10～13以外は図9に示す従来例と同じである。

【0047】この第4の実施の形態では、図9に示す従来例に対し、オフセット補償用スイッチトキャパシタB₁を信号グラウンドとオペアンプ1の反転入力端子との間に付加した構成である。このオフセット補償用スイッチトキャパシタB₁は、容量9およびスイッチ10～13で構成し、容量9には、信号入力用スイッチトキャパシタA₁の容量2と同じ容量値のものを用いている。すなわち、容量9の容量値C3＝容量2の容量値C1である。

【0048】以上のように構成される本実施の形態のスイッチトキャパシタ回路について、その動作をさらに図11のスイッチ制御用のクロックのタイムチャートを用いて説明する。図9に示す従来例同様、スイッチ4、7が図11のクロックφ1の“H”区間でオンし、スイッチ5、6がクロックφ2の“H”区間でオンすることにより、サンプルホールド動作が実現される。

【0049】さらに、オフセット補償用スイッチトキャパシタB₁のスイッチ10、11を図11のクロックφ1の“H”区間でオンし、スイッチ12、13をクロックφ2の“H”区間でオンすることにより、式7中の重畳されたオフセット分をキャンセルすることができる。以上のように本実施の形態によれば、信号入力用スイッチトキャパシタA₁の容量2と同じ容量値を有する容量9を用いたオフセット補償用スイッチトキャパシタB₁を、オペアンプ1の反転入力端子と信号グラウンドとの間

に接続し、前述のようにスイッチの制御を行なうことにより、信号入力用スイッチトキャパシタA₁の容量2とオペアンプ1のDCオフセットによって発生する誤差分を補償することができるため、理想オペアンプと同じ伝達関数を持ったスイッチトキャパシタ回路を実現することができる。これにより、オフセット誤差の重畳による回路のダイナミックレンジの低下を防ぐことができる。

【0050】【第5の実施の形態】図6は本発明の第5の実施の形態のスイッチトキャパシタ回路を示す図であり、ここではフィルタ回路（一次LPF型スイッチトキャパシタフィルタ）の例を示している。図6において、容量9およびスイッチ10～13以外は図10に示す従来例と同じである。

【0051】この第5の実施の形態では、図10に示す従来例に対し、オフセット補償用スイッチトキャパシタB₁を信号グラウンドとオペアンプ1の反転入力端子との間に付加した構成である。このオフセット補償用スイッチトキャパシタB₁は、容量9およびスイッチ10～13で構成し、容量9には、信号入力用スイッチトキャパシタA₁の容量2の容量値と帰還容量26の容量値との総和の容量値のものを用いている。すなわち、(容量9の容量値C4) = (容量2の容量値C1) + (容量26の容量値C2)である。

【0052】以上のように構成される本実施の形態のスイッチトキャパシタ回路について、その動作をさらに図11のスイッチ制御用のクロックのタイムチャートを用いて説明する。図10に示す従来例同様、スイッチ4、7および27が図11のクロックφ1の“H”区間でオンし、スイッチ5、6および28が図11のクロックφ2の“H”区間でオンすることにより、フィルタ動作が実現される。

【0053】さらに、オフセット補償用スイッチトキャパシタB₁のスイッチ10、11を図11のクロックφ1の“H”区間でオンし、スイッチ12、13をクロックφ2の“H”区間でオンすることにより、式9中の重畳されたオフセット分をキャンセルすることができる。以上のように本実施の形態によれば、信号入力用スイッチトキャパシタA₁の容量2の容量値と帰還容量26の容量値との総和の容量値を有する容量9を用いたオフセット補償用スイッチトキャパシタB₁を、オペアンプ1の反転入力端子と信号グラウンドとの間に接続し、前述のようにスイッチの制御を行なうことにより、信号入力用スイッチトキャパシタA₁の容量2および帰還容量26とオペアンプ1のDCオフセットによって発生する誤差分を補償することができるため、理想オペアンプと同じ伝達関数を持ったスイッチトキャパシタ回路を実現することができる。これにより、オフセット誤差の重畳による回路のダイナミックレンジの低下を防ぐことができる。

【0054】なお、上記第4、第5の実施の形態におい

ても、オフセット補償用スイッチトキャパシタB₁を図4(a)、(b)の構成とすることにより、スイッチの数を削減することができる。なお、上記第1～第5の実施の形態では、図11に示すクロック $\phi 1$ 、 $\phi 2$ の2相のクロックを使用した。これに限られるものではなく、例えば、クロック $\phi 1$ と、クロック $\phi 2$ のかわりにクロック $\phi 1$ の反転信号とを用いてもよいし、また、各スイッチを複数のクロックで個別に制御してもよいし、スイッチ制御用のクロックの極性が逆の場合も同様の効果が得られる。

【0055】

【発明の効果】以上のように本発明によれば、オペアンプの反転入力端子と信号グラウンドとの間にオフセット補償用スイッチトキャパシタを接続したことにより、信号入力用スイッチトキャパシタの容量等とオペアンプのDCオフセットによって発生する伝達関数の誤差を補償し、理想オペアンプと同じ伝達関数を持った優れたスイッチトキャパシタ回路を実現することができる。これにより、オフセット誤差の重畳による回路のダイナミックレンジの低下を防ぐことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のスイッチトキャパシタ回路を示す図である。

【図2】本発明の第2の実施の形態のスイッチトキャパシタ回路を示す図である。

【図3】本発明の第3の実施の形態のスイッチトキャパシタ回路を示す図である。

【図4】本発明の第1～第3の実施の形態におけるスイッチトキャパシタの他の構成を示す図である。

【図5】本発明の第4の実施の形態のスイッチトキャパシタ回路を示す図である。

【図6】本発明の第5の実施の形態のスイッチトキャパシタ回路を示す図である。

【図7】第1の従来のスイッチトキャパシタ回路を示す図である。

【図8】第2の従来のスイッチトキャパシタ回路を示す図である。

【図9】第3の従来のスイッチトキャパシタ回路を示す図である。

【図10】第4の従来のスイッチトキャパシタ回路を示す図である。

【図11】スイッチ制御用のクロックのタイミングチャートである。

【符号の説明】

1 オペアンプ

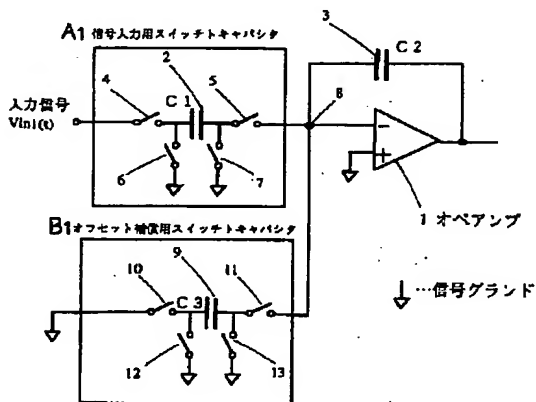
2, 3, 9, 14, 21, 26 容量

4～7, 10～13, 15～18, 22～25, 27,

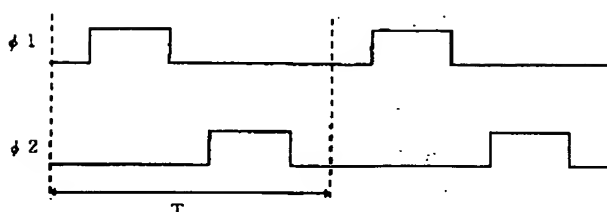
28 スイッチ

8 オペアンプの反転入力端子の接点

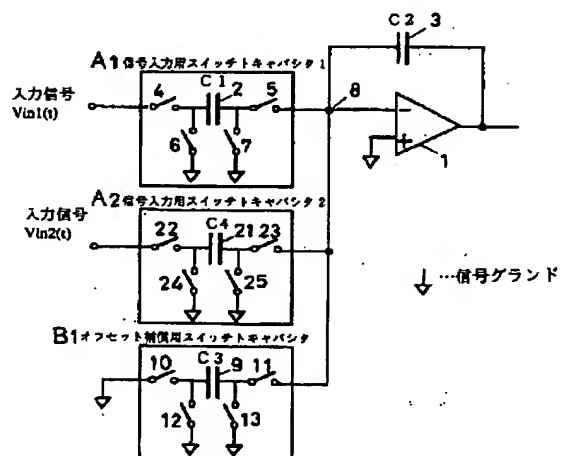
【図1】



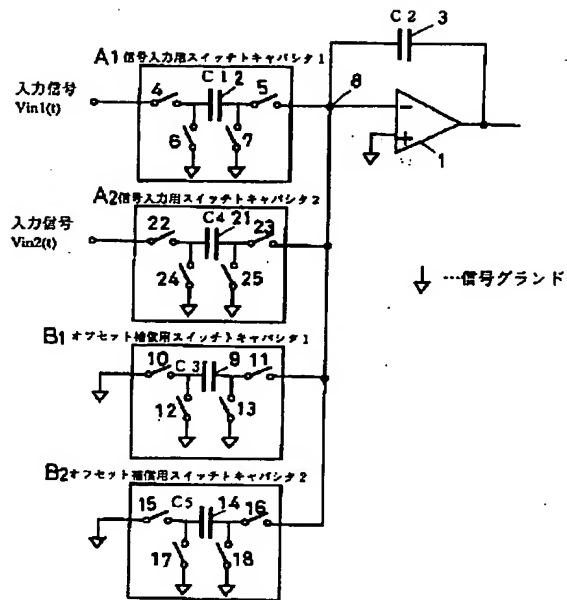
【図11】



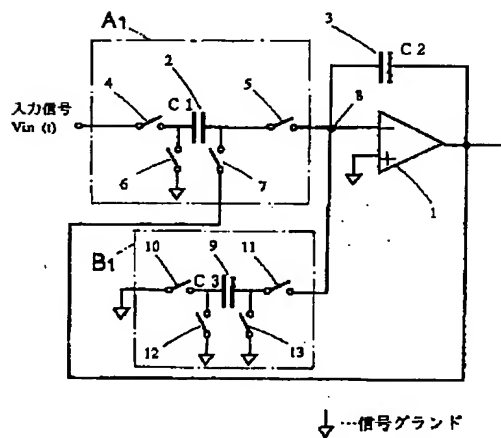
【図2】



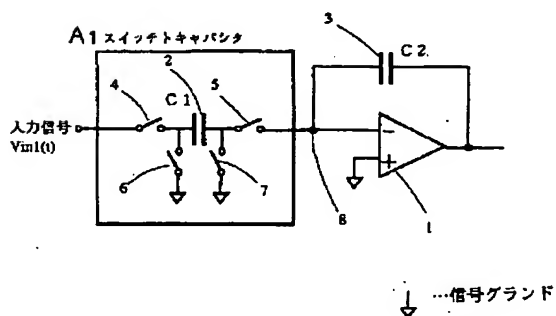
【図3】



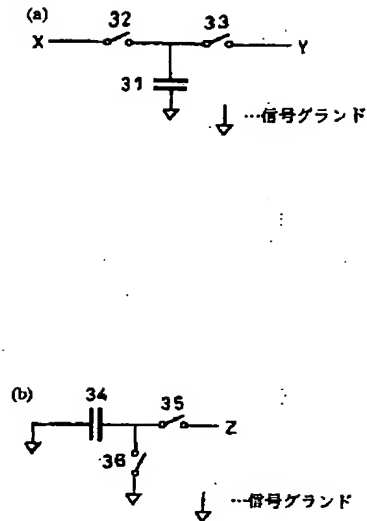
【図5】



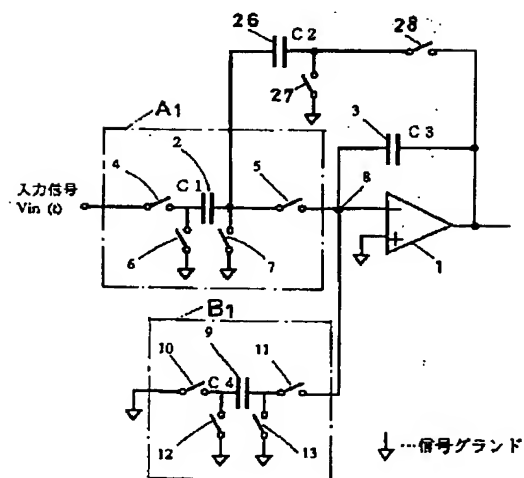
【図7】



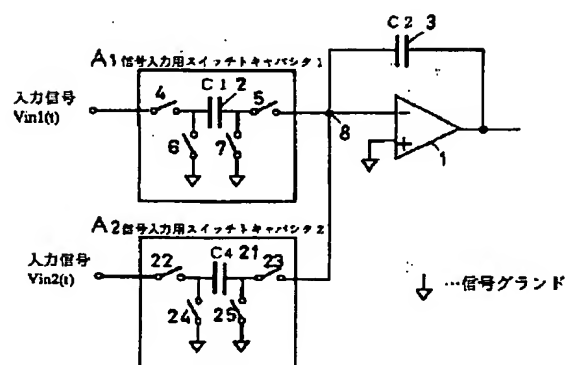
【図4】



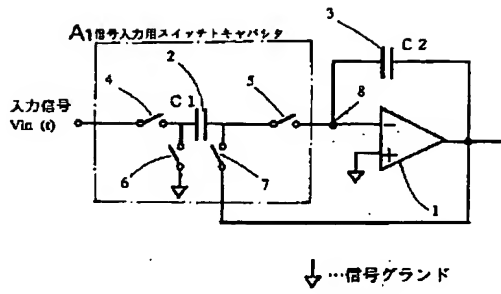
【図6】



【図8】



【図9】



【図10】

